

Προγραμματισμός και χρήση των GAL

Ψηφιακά λογικά κυκλώματα για όλες τις δουλειές

Daniel Gembris

Πριν από λίγα χρόνια, για την κατασκευή ψηφιακών λογικών κυκλωμάτων, θέλαμε πολλά ολοκληρωμένα TTL. Αντιστοίχα μεγάλος ήταν και ο χώρος που κατελάμβαναν πάνω στην πλακέτα. Καθώς αυξάνεται η πολυπλοκότητα των κυκλωμάτων, τα ολοκληρωμένα TTL δίνουν σιγά-σιγά τη θέση τους στις PLD (Programmable Logic Devices - Προγραμματιζόμενες λογικές διατάξεις). Σ' αυτή την κατηγορία ανήκουν διάφοροι τύποι λογικών ολοκληρωμένων, όπως PROM, FPLA, IFL, FPLS, PAL και GAL. Στο άρθρο που ακολουθεί, θα ασχοληθούμε με την κατασκευή και τον προγραμματισμό των ολοκληρωμένων GAL.

Η ιδέα ενός ολοκληρωμένου, με όσο το δυνατόν περισσότερες λογικές πύλες που θα μπορούσαν να συνδεθούν ελεύθερα μεταξύ τους μέσα στο ολοκληρωμένο, οδήγησε στη δημιουργία των PAL. Το 1986 η αμερικάνικη εταιρία Lattice παρουσίασε στην αγορά μια βελτιωμένη έκδοση των PAL, που την ονόμασε GAL. Η συντομογραφία GAL αντιστοιχεί στις λέξεις Generic Array Logic, που σε ελεύθερη μεταφραση σημαίνει «γενικός λογικός πίνακας». Χάρη στον τρόπο σχεδίασής τους, τα ολοκληρωμένα GAL μπορούν να χρησιμοποιηθούν σε πολλές περιπτώσεις.

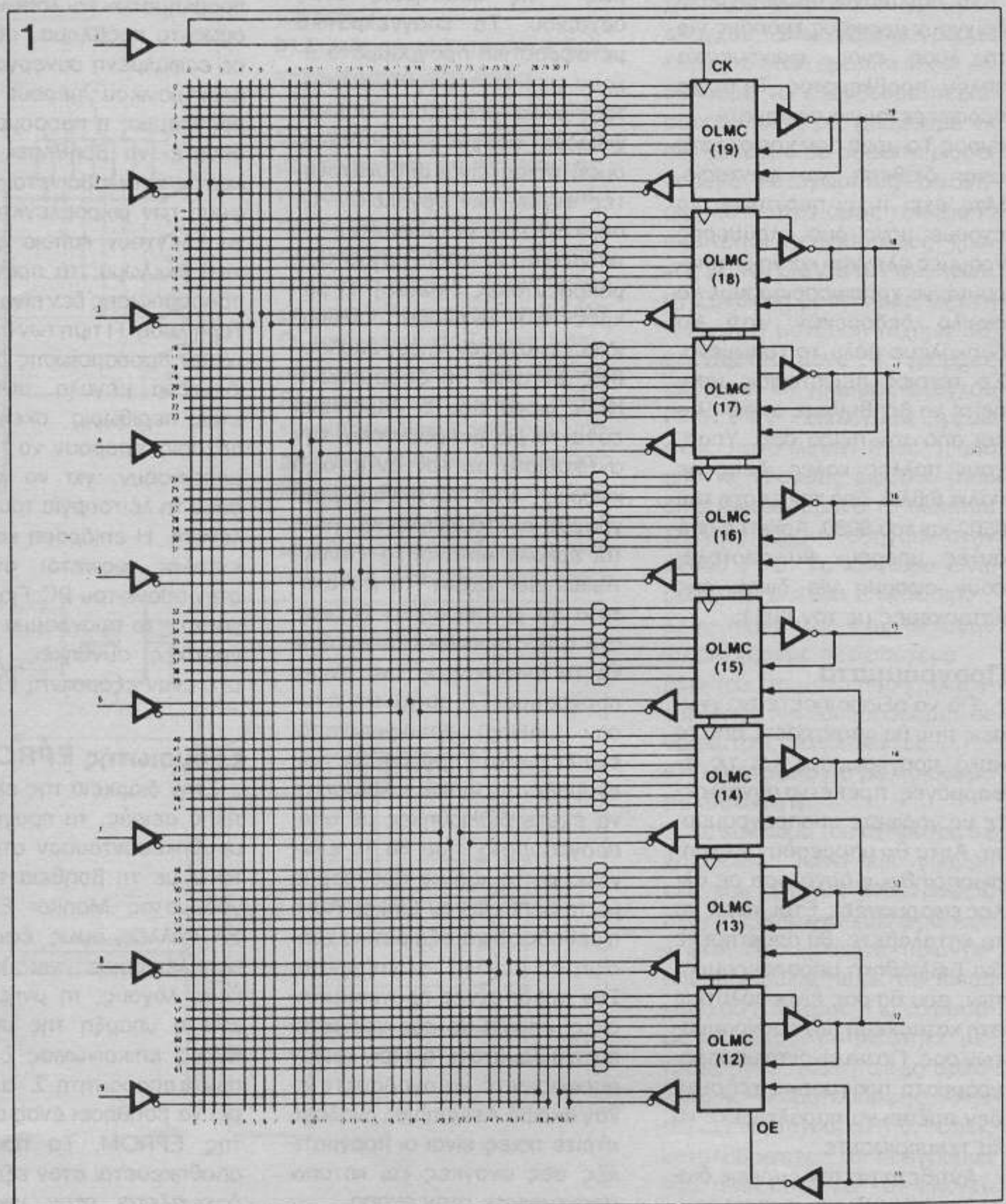
Η εσωτερική οργάνωση των GAL είναι, σε γενικές γραμμές, όμοια με αυτή των ολοκληρωμένων PAL (Programmable Array Logic-Λογική προγραμματιζόμενου πίνακα). Στις GAL και στις PAL υπάρχει μια μεγάλη μήτρα AND, στις εξόδους της οποίας συνδέονται οι πύλες OR.

Οι συνδέσεις μεταξύ των πυλών AND και OR είναι, τόσο στις PAL όσο και στις GAL, μόνιμα δρομολογημένες στο πυρήτιο. Ο χρήστης μπορεί να προγραμματίσει την μήτρα AND.

Στα ολοκληρωμένα PROM η κατάσταση είναι ακριβώς αντίθετη: οι συνδέσεις στη μήτρα AND είναι μόνιμες, ενώ αυτές της μήτρας OR μπορούν να προγραμματιστούν. Οι FPLA συνδυάζουν και τις δύο μεθόδους προγραμματισμού. Η διάταξη των στοιχείων διασύνδεσης αντιστοιχεί σε αθροίσματα γινομένων, πράγμα που απλουστεύει σημαντικά την υλοποίηση των λογικών συναρτήσεων. Μια λογική συνάρτηση εκφρασμένη σε αθροίσμα γινομένων, έχει τη μορφή π.χ.

$$q = a \cdot b \cdot \bar{c} + \bar{a} \cdot \bar{b} \cdot c + a \cdot b \cdot c$$

Αυτές οι τρεις γραμμές δηλώνουν τα εξής: τα σήματα εισόδου a, b, c κάθε σειράς (και αντίστοιχα τα συμπληρώματά τους), συνδέονται μεταξύ τους στην μήτρα AND.



Σχήμα 1. Η μήτρα διασυνδέσεων της GAL 16V8.

Οι τρεις εξισώσεις, που ονομάζονται συνήθως επιμέρους όροι, συνδέονται στην μήτρα OR, από όπου παρέχεται η έξοδος (q) της συνάρτησης.

Εσωτερική δομή

Στην εξέλιξη των GAL βοήθησε σημαντικά η έρευνα που είχε προηγηθεί στις μνήμες EEPROM. Σας υπενθυμίζουμε ότι οι EEPROM είναι EPROM, που σβήνουν με ηλεκτρισμό. Οι GAL μπορούν να σβηστούν με ηλεκτρισμό και έτσι είναι δυνατόν να προγραμματιστούν πολλές φορές. Αυτό είναι ιδιαίτερα χρήσιμο στη φάση της σχεδίασης, όπου τα λογικά κυκλώματα θα υποστούν πολλές αλλαγές. Η χρησιμοποίηση ολοκληρωμένων PAL, που προγραμματίζονται μόνο μια φορά, συχνά οδηγεί τα έξοδα για την ανάπτυξη της εφαρμογής στα ύψη. Οι εταιρίες κατασκευής των ολοκληρωμένων GAL εγγυούνται ασφαλή αποθήκευση των δεδομένων για 20 χρόνια και ως 100 επανεγγραφές.

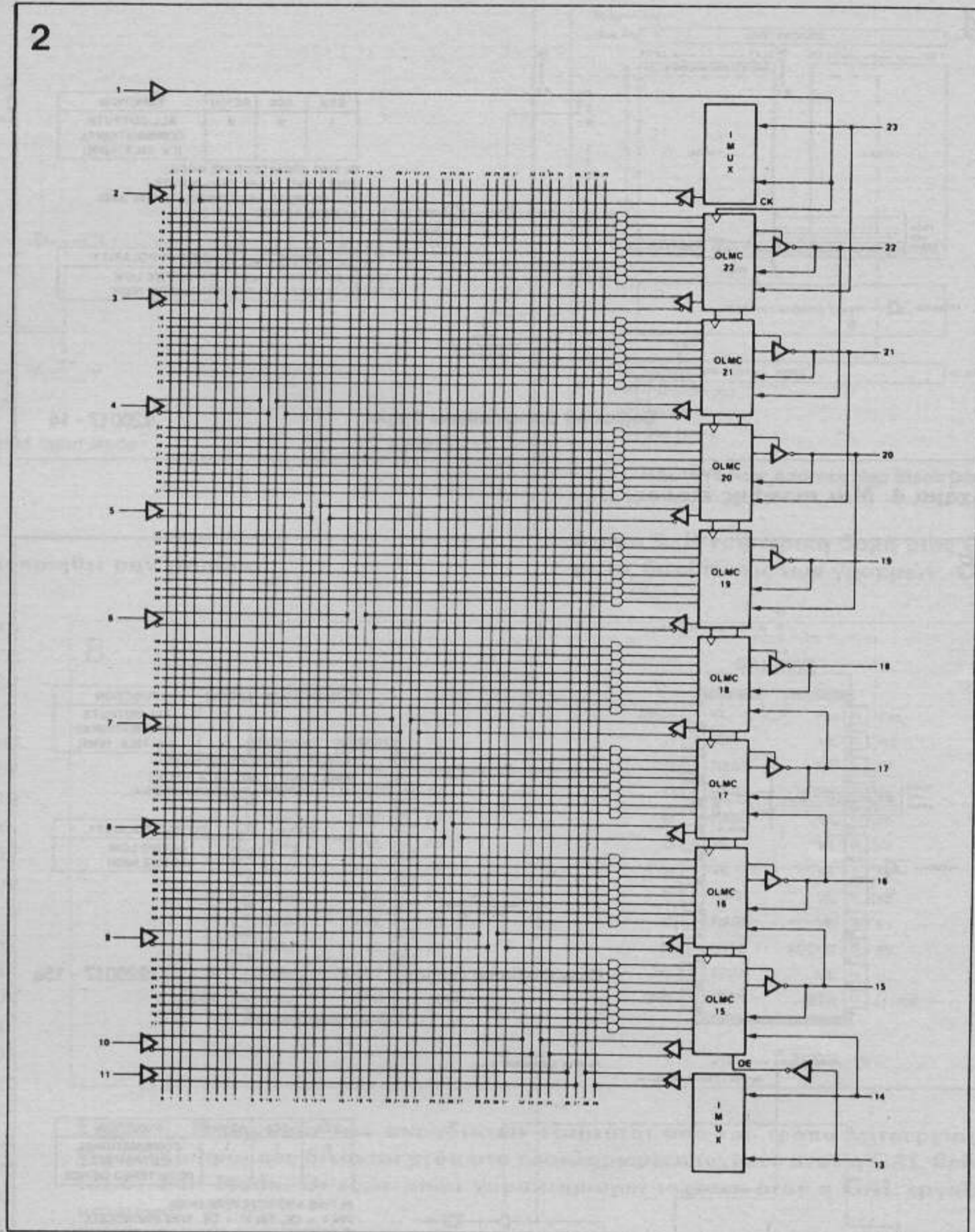
Για να είναι εύκολη η τοποθέτηση ενός αποκλειστικού κωδικού αναγνώρισης μέσα σε κάθε ολοκληρωμένο GAL έχει προβληφθεί χώρος για 8 χαρακτήρες (Byte). Εκεί μπορεί ο κατασκευαστής να γράψει, π.χ. τον αριθμό παραγωγής.

Όπως ο PAL, έτσι και οι GAL μπορούν να προστατευθούν από ανεπιθύμητη ανάγνωση αν ενεργοποιήσουμε, μέσω προγράμματος, μια συγκεκριμένη κυψέλη στο ολοκληρωμένο. Ο τρόπος προστασίας στις PAL είναι απόλυτος, αφού καιγεται ολοκληρωτικά η εύτικη σύνδεση προστασίας (Last-Fuse). Οι προστατευμένες GAL μπορούν να σβήσουν, να προγραμματιστούν ξανά και κατόπιν να αναγνωστούν. Μερικοί ηλεκτρονικοί υποστηρίζουν ότι υπάρχει τρόπος να διαβάσουμε μια GAL, ακόμα και αν η κυψέλη προστασίας είναι ενεργοποιημένη.

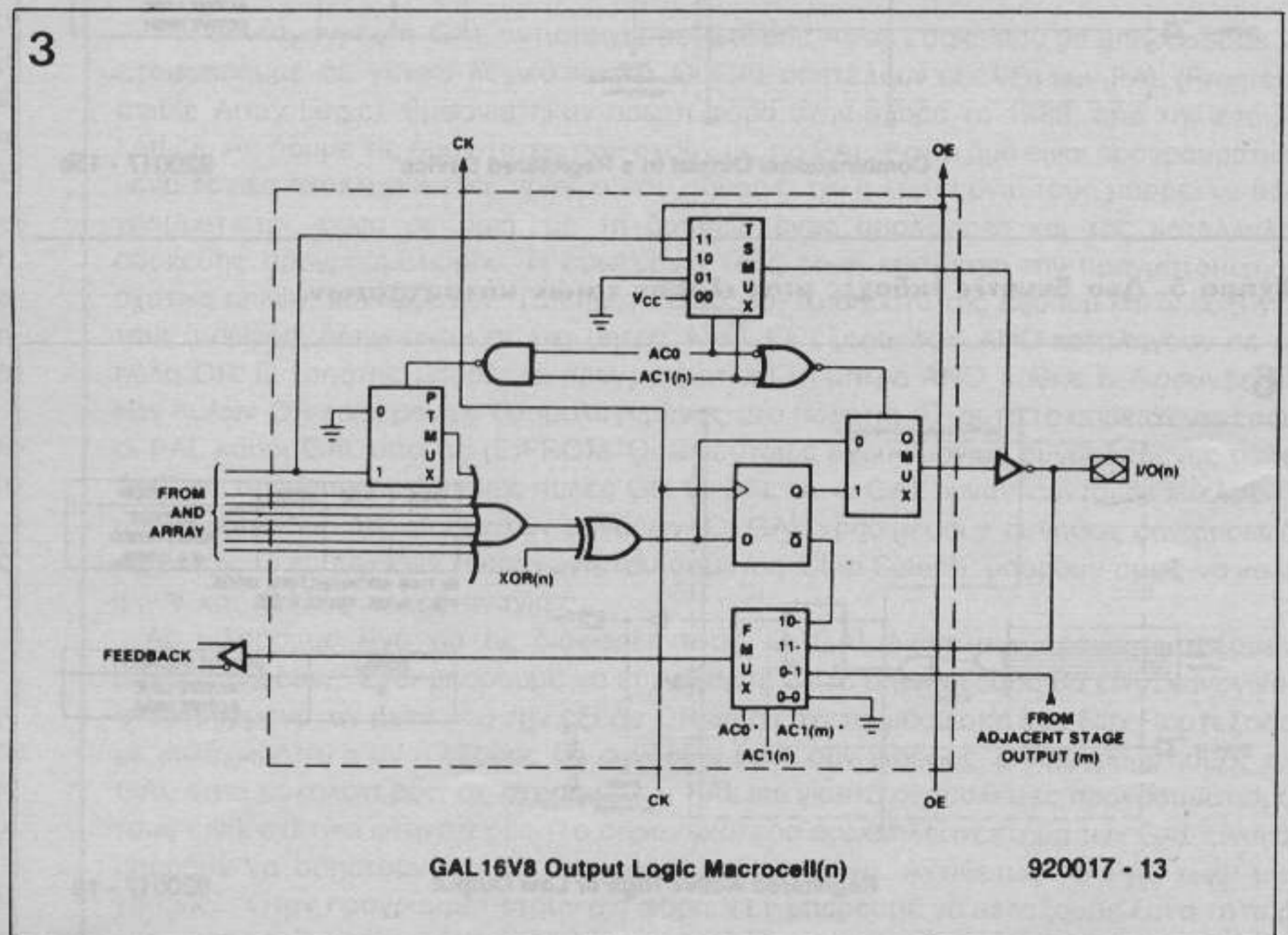
Παρακάτω θα αναφερθούμε στην εσωτερική δομή των GAL. Στο σχήμα 1 φαίνεται η μήτρα διασυνδέσεων (Fuse matrix) της GAL 16V8, ενώ στο σχήμα 2 απεικονίζεται η GAL 20V8. Τα νούμερα στον κωδικό της GAL δηλώνουν την εσωτερική οργάνωση του ολοκληρωμένου. Ο πρώτος αριθμός (16 και 20 αντίστοιχα), δείχνει το μέγιστο πλήθος των εισόδων, ενώ ο δεύτερος το μέγιστο πλήθος των εξόδων της GAL.

Τα δεδομένα που ακολουθούν ισχύουν για την GAL 16V8. Στην αριστερή πλευρά του σχήματος βρίσκονται οι εισοδοί (ακροδέκτες 2...9) του ολοκληρωμένου. Οι εισοδοί οδηγούνται απευθείας, αλλά και σε συζυγή (ανεστραμμένη) μορφή, στις στήλες της μήτρας AND. Οι οχτώ εισοδοί καταλαμβάνουν λοιπόν 16 στήλες. Στις 16 στήλες που απομένουν συνδέονται οι εξοδοί της διάταξης, σε κανονική και σε συζυγή μορφή. Έτσι έχουμε συνολικά στη διάθεσή μας 32 σήματα.

Όταν η GAL είναι σβησμένη, δεν υπάρχει καμία σύνδεση μεταξύ των οχτών εισόδων (επιμέρους όρων) του κάθε μονάδας εξόδου (OLMC) και των 32 στηλών. Οι μεταβολές στις εισόδους δεν επιδρούν στις εξόδους. Για να δημιουργηθούν οι επιθυμητές συνδέσεις πρέπει να προγραμματίσουμε το ολοκληρωμένο. Κάθε σύνδεση

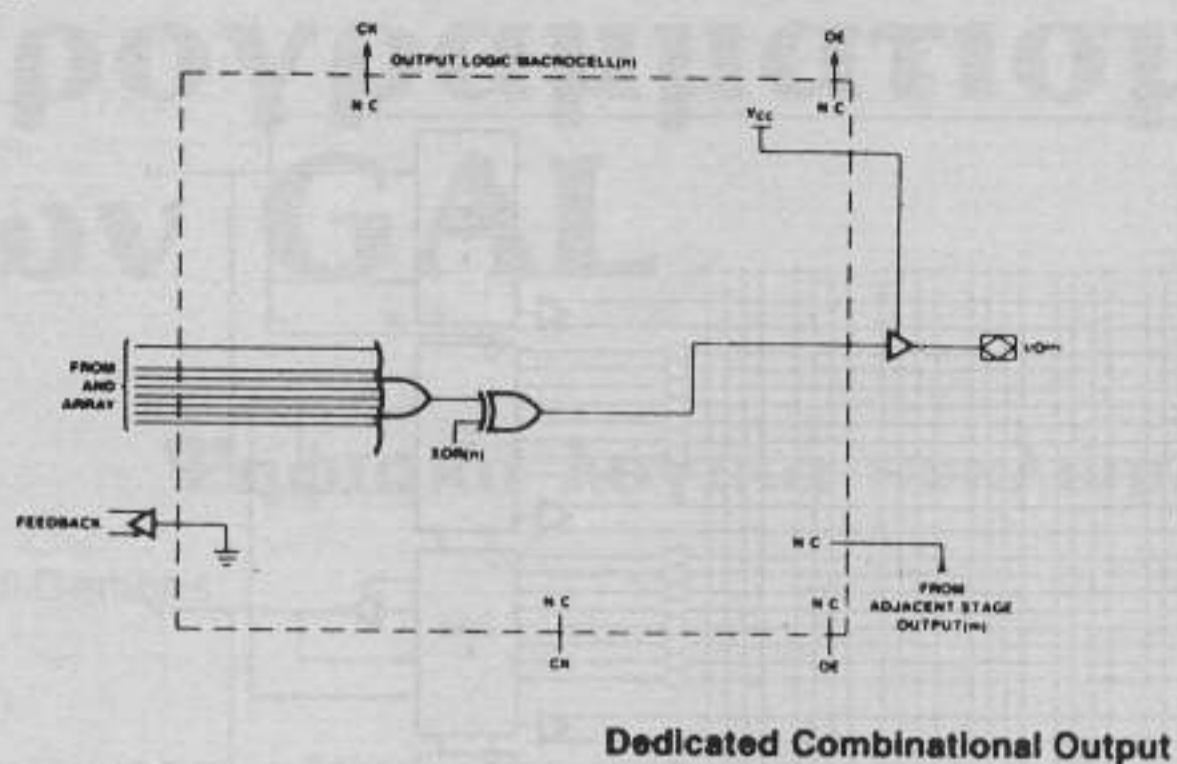


Σχήμα 2. Η μήτρα διασυνδέσεων του ολοκληρωμένου GAL 20V8.



Σχήμα 3. Η εσωτερική δομή μιας μονάδας εξόδου OLMC.

4



SYN	ACO	AC1(n)	FUNCTION
1	0	0	ALL OUTPUTS COMBINATIONAL (i.e. 10L8, 12H8)

IN THIS ARCHITECTURE MODE, PINS 1 AND 11 ARE DATA INPUTS. ALL OUTPUTS ARE COMBINATIONAL AND ALWAYS ACTIVE.

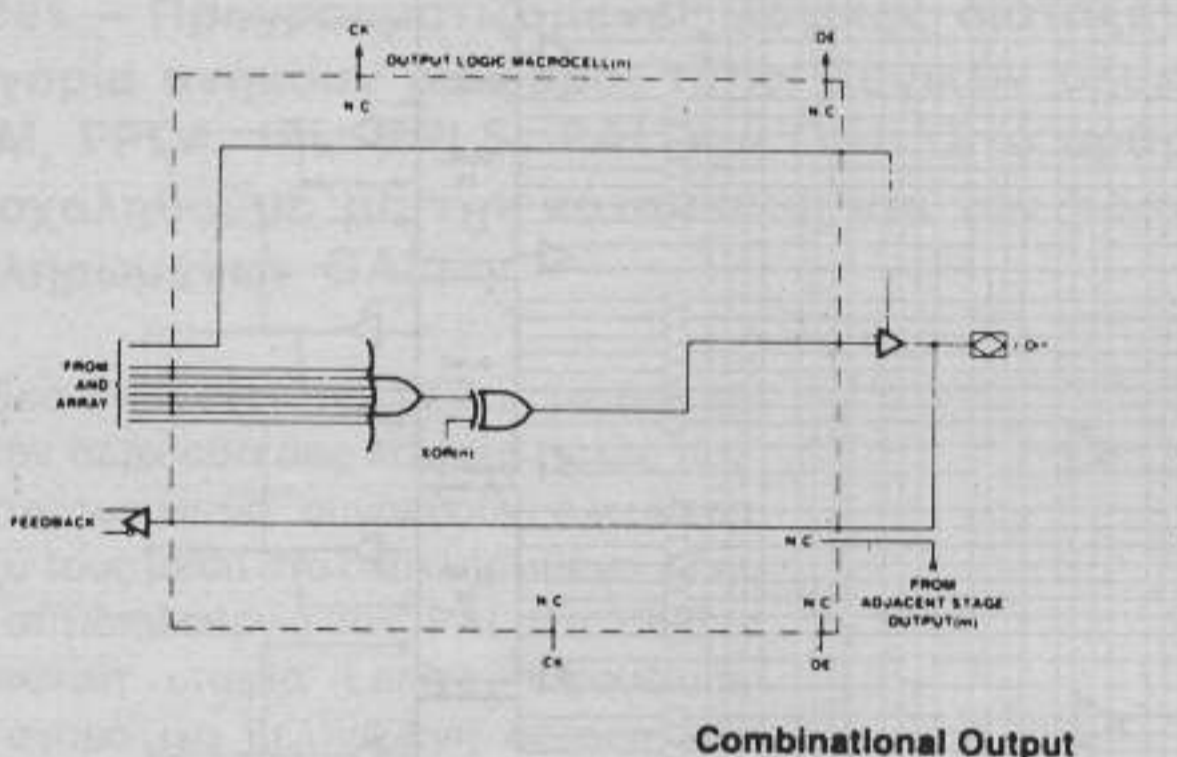
XOR(n)	OUTPUT POLARITY
0	ACTIVE LOW
1	ACTIVE HIGH

Dedicated Combinational Output

920017 - 14

Σχήμα 4. Μια συνήθης έξοδος.

5



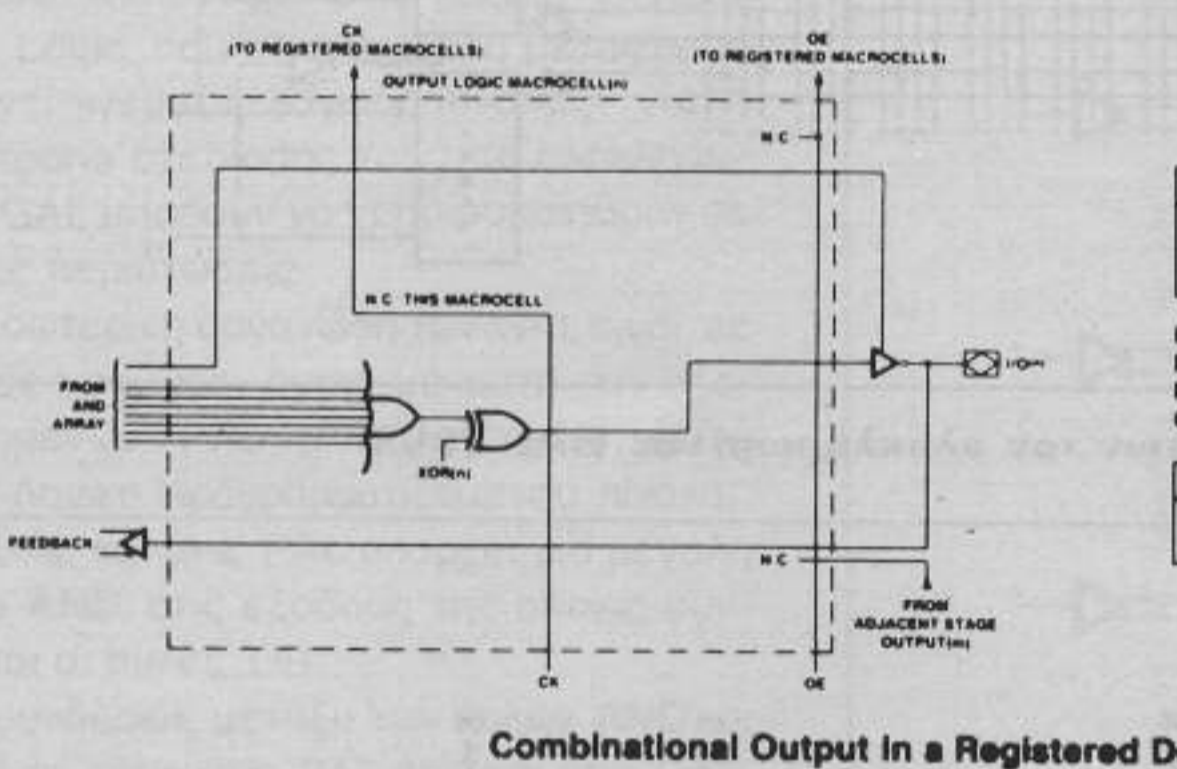
SYN	ACO	AC1(n)	FUNCTION
1	1	1	ALL OUTPUTS COMBINATIONAL (i.e. 18L8, 18H8)

IN THIS ARCHITECTURE MODE, PINS 1 AND 11 ARE DATA INPUTS. ALL OUTPUTS ARE COMBINATIONAL.

XOR(n)	OUTPUT POLARITY
0	ACTIVE LOW
1	ACTIVE HIGH

Combinational Output

920017 - 15a



SYN	ACO	AC1(n)	FUNCTION
0	1	1	COMBINATIONAL OUTPUT IN A REGISTERED DEVICE

IN THIS ARCHITECTURE MODE, PIN 1 = CK, PIN 11 = OE. THIS MACROCELL IS COMBINATIONAL, BUT AT LEAST ONE OF THE OTHERS IS REGISTERED OUTPUT.

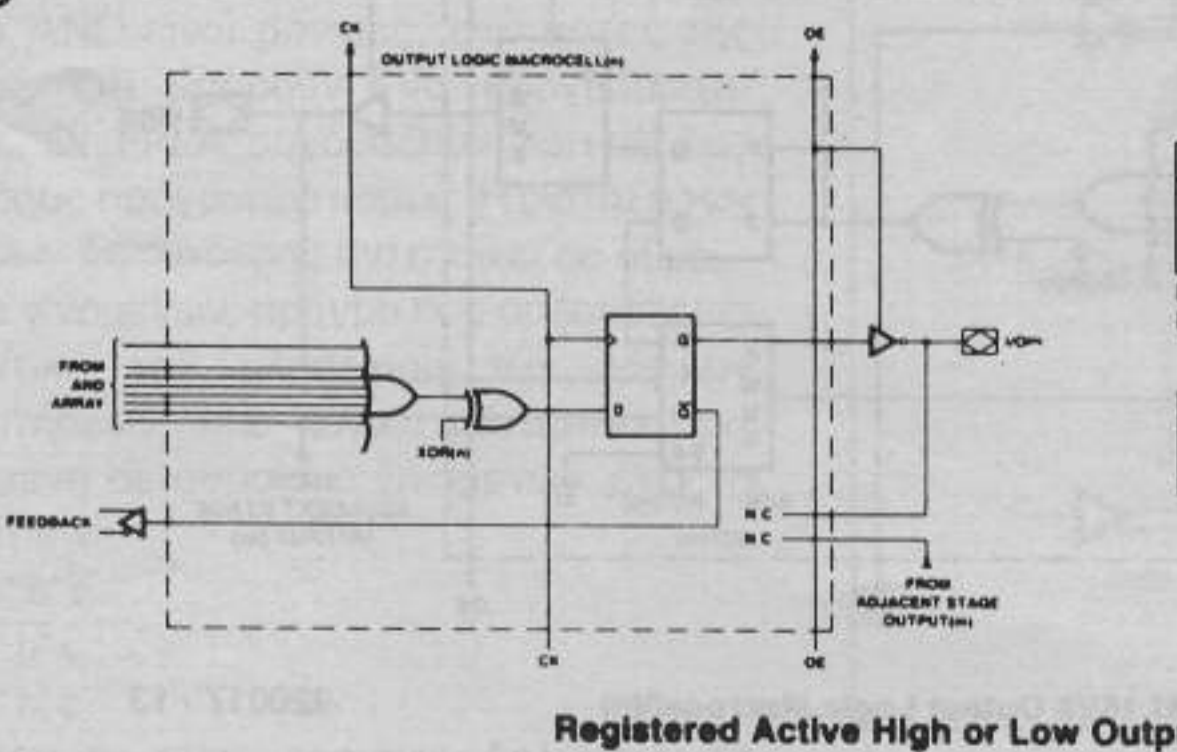
XOR(n)	OUTPUT POLARITY
0	ACTIVE LOW
1	ACTIVE HIGH

Combinational Output in a Registered Device

920017 - 15b

Σχήμα 5. Δυο δυνατές εκδοχές μιας εξόδου τριών καταστάσεων.

6



SYN	ACO	AC1(n)	FUNCTION
0	1	0	OUTPUT REGISTERED (i.e. 16R8)

IN THIS ARCHITECTURE MODE, PIN 1 = CK, PIN 11 = OE.

XOR(n)	OUTPUT POLARITY
0	ACTIVE LOW
1	ACTIVE HIGH

Registered Active High or Low Output

920017 - 16

Σχήμα 6. Μια έξοδος τριών καταστάσεων σε συνδυασμό με καταχωρητή.

αντιστοιχεί σε μια πράξη AND. Ομάδες των οχτώ γραμμών οδηγούνται, μέσω μιας πύλης OR, σε μια έξοδο.

Τα OLMC- μια ιδιαιτερότητα των GAL

Η μεγάλη δημοτικότητα των GAL οφείλεται στις μονάδες OLMC (Output Logic Macro Cell, λογικό μακρο-κύτταρο εξόδου). Η εσωτερική κατασκευή ενός τέτοιου στοιχείου φαίνεται στο σχήμα 3. Η λειτουργία κάθε OLMC ελέγχεται από την Architecture Control Word λέξη ελέγχου αρχιτεκτονικής).

Τα τρία ψηφία SYN, ACO και AC1 (n) καθορίζουν τη συμπεριφορά της εξόδου. Τα bit SYN και ACO επιδρούν ταυτόχρονα σε όλες τις εξόδους. Το ψηφίο AC1 (n) μπορεί να καθοριστεί ξεχωριστά για κάθε έξοδο. Γιαυτό το σκοπό μπορούμε να πραγματοποιήσουμε μέχρι δύο, από τους τέσσερις θεωρητικά δυνατούς συνδυασμούς σε μια GAL:

■ συνήθης έξοδος. Προϋποθέσεις: SYN = 1, ACO = 0, AC1 (n) = 0 (σχήμα 4).

■ έξοδος τριών καταστάσεων (tri-state) με ενεργοποίηση από μια λογική εξίσωση γινόμενου και αποσύζευξη. Από τις οχτώ γραμμές στην είσοδο του OLMC, οι επτά οδηγούνται σε μια πύλη OR. Η όγδοη καθορίζει αν θα οδηγηθεί το αποτέλεσμα στην έξοδο ή όχι. Προϋποθέσεις: SYN = 0 ή 1, ACO = 1, AC1 (n) = 1 (σχήμα 5).

■ έξοδος τριών καταστάσεων με καταχωρητή, ενεργοποίηση και ανασύζευξη. Το αποτέλεσμα της λογικής πράξης θα εμφανιστεί στην έξοδο, όταν εμφανιστεί σήμα (παλμός χρονισμού του καταχωρητή) στον ακροδέκτη 1 (CLK) και χαμηλή λογική στάθμη στον ακροδέκτη 11 (OE). Προϋποθέσεις: SYN = 0, ACO = 1, AC1 (n) = 1 (σχήμα 6).

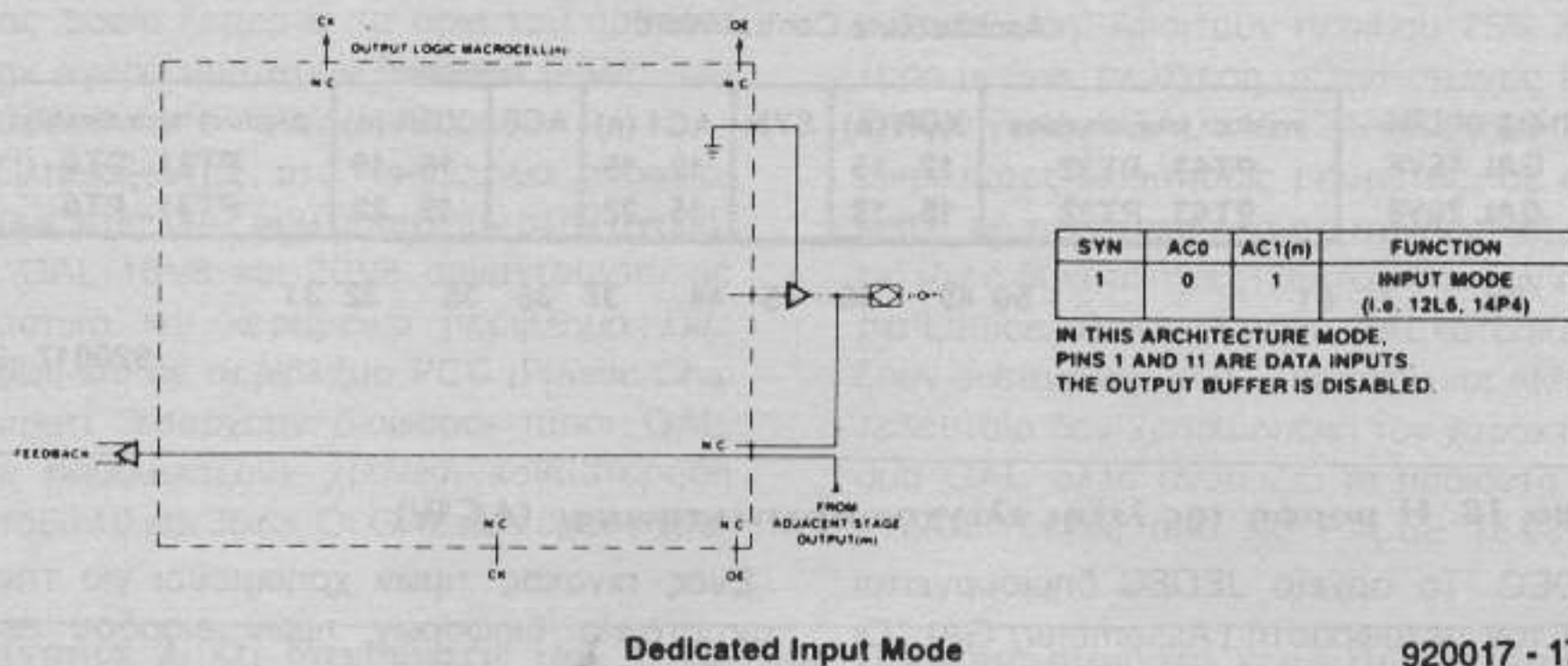
■ είσοδος. Προϋποθέσεις: SYN = 1, ACO = 0, AC1 (n) = 1 (σχήμα 7).

Ο τελευταίος τρόπος λειτουργίας μπορεί π.χ. να χρησιμοποιηθεί για να κατασκευάσουμε ένα εξάρτημα με 15 εισόδους και μια έξοδο. Με τη βοήθεια του ψηφίου στην πύλη XOR, μπορούμε να επιλέξουμε τη πολικότητα του σήματος εξόδου. Όταν XOR (n) = 1 το σήμα εξόδου είναι κανονικό, ενώ όταν XOR (n) = 0 η έξοδος εμφανίζεται ανεστραμμένη.

Εσωτερική οργάνωση και προγραμματισμός

Αν εξαιρέσουμε τους δύο ακροδέκτες τροφοδοσίας, κάθε ακροδέκτης της GAL εκτελεί, κατά βάση, δυο διαφορετικές λειτουργίες. Η κατάσταση των ακροδεκτών εξαρτάται από το αν το ολοκληρωμένο προγραμματίζεται (Edit Mode) ή εργάζεται κανονικά. Στο σχήμα 8 φαίνεται η σημασία των ακροδεκτών στις GAL 16V7 και 20V8, όταν τα ολοκληρωμένα λειτουργούν κανονικά κι όταν προγραμματίζονται. Η λειτουργία Edit ενεργοποιείται μέσω μιας συνεχής τάσης 16,5V στον ακροδέκτη 2. Τότε μπορούμε να διαβάσουμε, να σβήσουμε ή να προγραμματίσουμε το ολοκληρωμένο.

Η GAL είναι εσωτερικά χωρισμένη σε 64 γραμμές (σχήμα 9). Στις γραμμές 0...31 βρίσκεται η μήτρα διασυνδέσεων, που μπορεί



Dedicated Input Mode

920017 - 17

Σχήμα 7. Η έξοδος μπορεί να χρησιμοποιηθεί σαν είσοδος.

να αποκτηθεί απευθείας από την λογική μήτρα. Γιαυτό αρκεί να περιστραφεί προς τα δεξιά, σε γωνία 90 μοιρών. Στη γραμμή 32 βρίσκεται αποθηκευμένος ο κωδικός αναγνώρισης, στον οποίον έχουμε αναφέρει προηγουμένως. Οι γραμμές 39...59 δεν χρησιμοποιούνται στην GAL 16V8. Στη γραμμή 60 βρίσκεται η λέξη ελέγχου αρχιτεκτονικής (ACW). Το μήκος της είναι 82 bit, ενώ οι προηγούμενες γραμμές έχουν μήκος 64 ψηφία. Στο σχήμα 10 φαίνεται η μορφή της λέξης ελέγχου. Στα ψηφία 32...49 έχουμε ήδη αναφερθεί προηγουμένως. Τα υπόλοιπα 64 ψηφία χρησιμεύουν για την απενεργοποίηση των λογικών γινόμενων. Αν το ψηφίο που αντιστοιχεί σε κάποιο λογικό γινόμενο είναι 0, αυτός ο ορος αγνοείται στην πράξη OR. Αυτό υλοποιήθηκε για λόγους συμβατότητας με τις παλιότερες PAL, που δεν μπορούσαν να σχηματίσουν 64 λογικά γινόμενα όπως οι GAL. Αυτό σημαίνει ότι υπάρχει συμβατότητα μεταξύ των προγραμμάτων PAL και GAL. Τα προγράμματα για PAL μπορούν να μετατραπούν σε προγράμματα για GAL, προσθέτοντας απλώς την κατάλληλη λέξη ελέγχου αρχιτεκτονικής. Στον πίνακα 1 φαίνεται πως μπορούμε να προσομοιώσουμε μια PAL, μέσω ενός ολοκληρωμένου GAL.

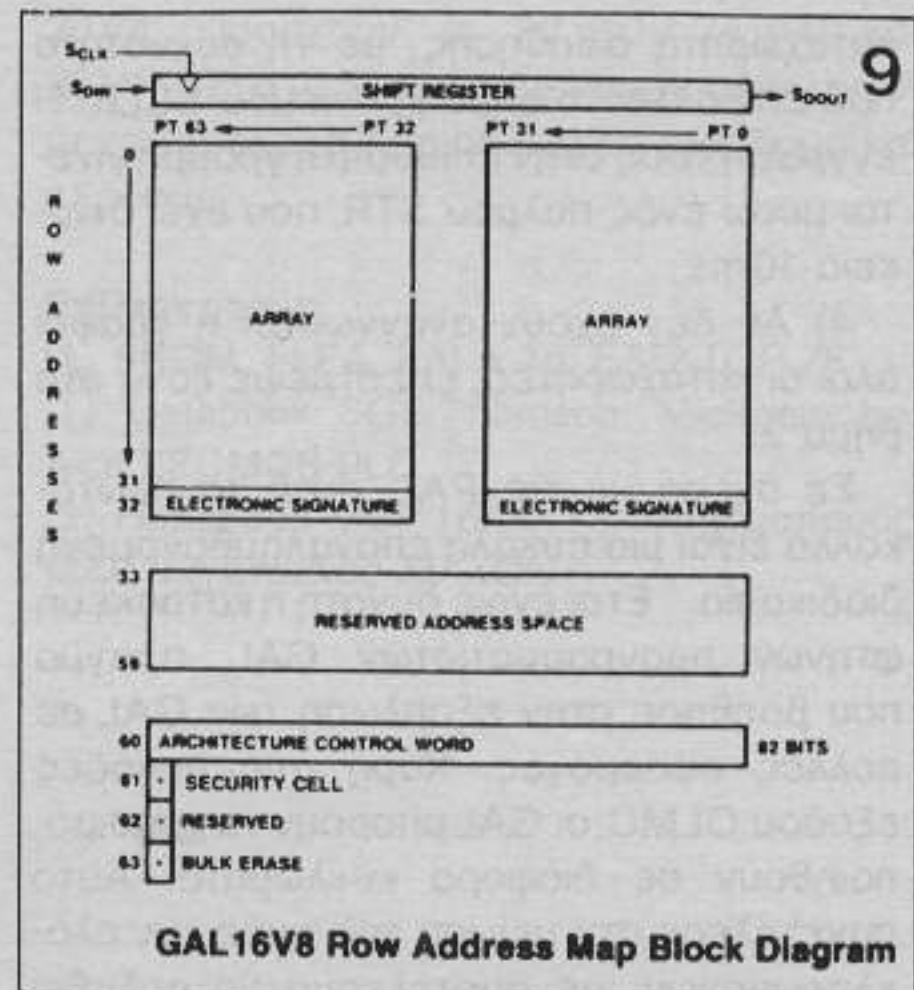
Προγραμματίζοντας τη γραμμή 61 (Security Cell, κυψέλη προστασίας στο σχήμα 9), εμποδίζεται η ανάγνωση της μήτρας διασυνδέσεων. Η εγγραφή στη γραμμή 63 οδηγεί σε ολοκληρωτικό σβήσιμο του περιεχομένου της GAL (Bulk Erase).

Η προσπέλαση των γραμμών γίνεται μέσω του εσωτερικού καταχωρητή ολοκλήρωσης. Το πρωτόκολλο επικοινωνίας έχει ως εξής:

- 1) ακροδέκτης P/V: 1 = προγραμματισμός, 0 = ανάγνωση
- 2) RAGO-5: Επιλογή της γραμμής
- 3) STR, SCLK, SDOUT:

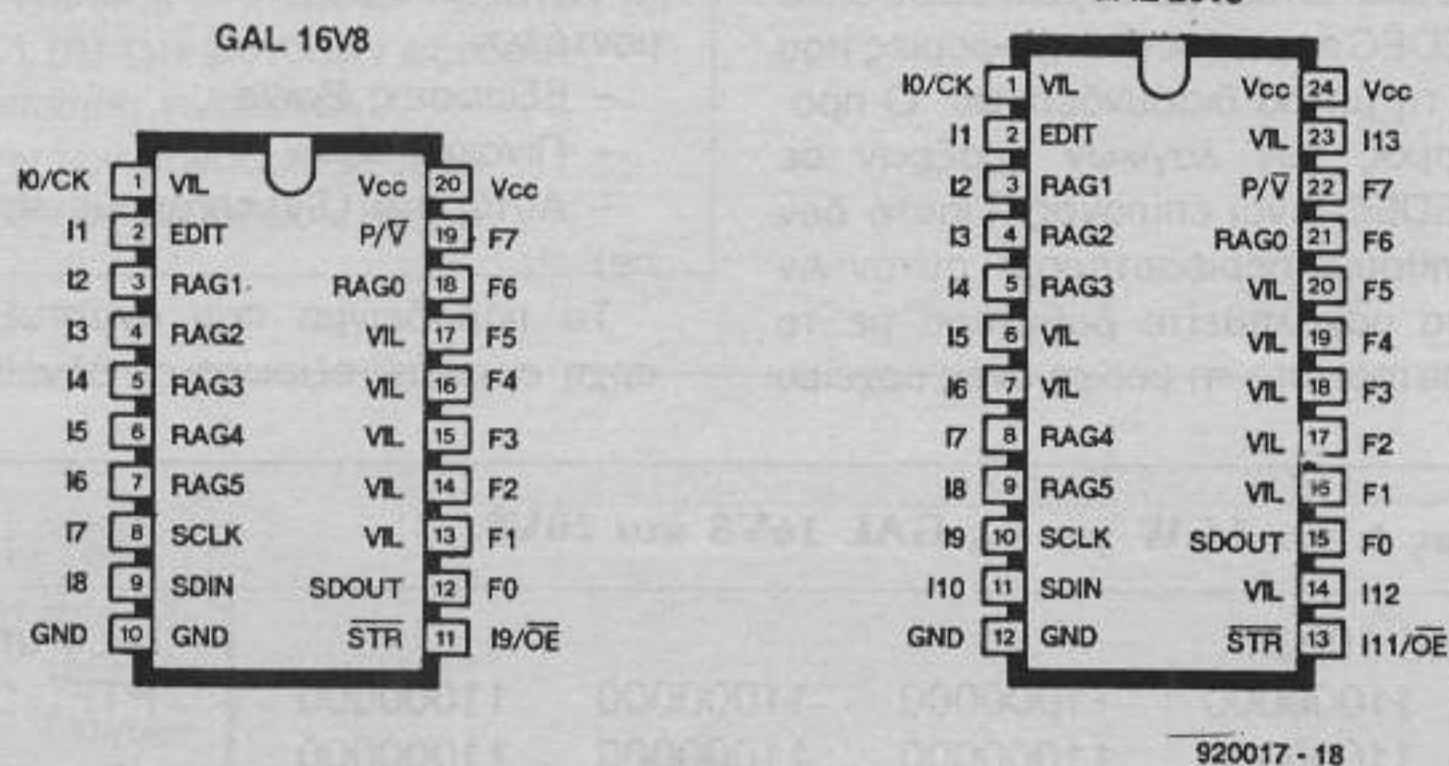
Ανάγνωση: Ο καταχωρητής ολοκλήρωσης φορτώνεται με τα δεδομένα, μόλις εφαρμοστεί ένας παλμός STR. Δίνοντας παλμούς στην είσοδο SCLK, λαμβάνουμε τα δεδομένα από την έξοδο SDOUT.

Προγραμματισμός: Τα δεδομένα στον ακροδέκτη SDOUT φορτώνονται στον



GAL16V8 Row Address Map Block Diagram

Σχήμα 9. Η εσωτερική δομή μιας GAL με τις διευθύνσεις των γραμμών.



920017 - 18

Σχήμα 8. Η σημασία των ακροδεκτών εξαρτάται από τον τρόπο λειτουργίας: οι χαρακτηρισμοί που δίνονται μέσα στο ολοκληρωμένο ισχύουν όταν η GAL βρίσκεται σε Edit Mode. Οι εξωτερικοί χαρακτηρισμοί ισχύουν όταν η GAL εργάζεται κανονικά.

Γενικές πληροφορίες γύρω από τις GAL

Η συντομογραφία GAL αντιστοιχεί σε Generic Array Logic, που θα μπορούσαμε να μεταφράσουμε σε γενικό λογικό πίνακα. Οι GAL αποτελούν εξέλιξη των PAL (Programmable Array Logic). Εμφανίστηκαν πρώτη φορά στην αγορά το 1986, από την εταιρία Lattice. Ας δούμε τις ομοιότητες που έχουν με τις PAL. Και οι δύο είναι προγραμματιζόμενα λογικά ολοκληρωμένα, πράγμα που σημαίνει ότι η λειτουργία τους μπορεί να προγραμματιστεί, μέσα σε ορία, με τη βοήθεια ενός υπολογιστή και της κατάλληλης συσκευής προγραμματισμού. Η εσωτερική τους δομή επιτρέπει την πραγματοποίηση, σχετικά απλών, κυκλωμάτων. Τα σήματα εισόδου, τα σήματα της εξόδου και οι συζυγείς τους μορφές, οδηγούνται σε μια μήτρα AND. Οι εξοδοί των AND καταλήγουν σε μια πυλη OR. Ο χρήστης μπορεί να προγραμματίσει τη μήτρα AND, καθώς οι διασυνδέσεις των πυλών OR είναι μόνιμα δρομολογημένες στο πυρήτιο. Σ' αυτό το σημείο διαφέρουν οι PAL και οι GAL από τις (E)PROM. Οι τελευταίες έχουν μόνιμα συνδεδεμένες πύλες AND και προγραμματιζόμενες πύλες OR. Οι PAL και οι GAL συναντώνται σε κυκλώματα υπολογιστών και περιφερειακών μονάδων. Οι GAL χρησιμεύουν συνήθως σαν αποκωδικοποιητές διευθύνσεων (παραγωγή του σήματος Chip Select), μπορούν όμως να καλύψουν και πολλές άλλες ανάγκες.

Ας μιλήσουμε λίγο για τις διαφορές τους. Οι GAL διαθέτουν προγραμματιζόμενη μονάδα εξόδου. Έτσι μπορούμε να επιλέξουμε αν το σήμα εξόδου θα είναι κανονικό ή ανεστραμμένο, αν μετά από την έξοδο OR θα διέρχεται μέσα από ένα Flip/Flop (έξοδος με καταχωρητή) ή αν η έξοδος θα συνδεθεί ξανά σαν είσοδος. Ο προγραμματισμός των GAL είναι ευκολότερος, σε σχέση με τις PAL και γιαυτό οι συσκευές προγραμματισμού τους είναι σχετικά φτηνότερες. Το σημαντικότερο όμως πλεονέκτημα των GAL είναι ότι μπορούν να σβηστούν και να προγραμματιστούν ξανά. Αντίθετως, οι PAL είναι μιας χρήσης. Όταν προγραμματιστούν μια φορά, δεν μπορούμε να αλλάξουμε ξανά το περιεχόμενό τους.

καταχωρητή ολίσθησης, με τη συχνότητα που επιβάλλει το σήμα χρονισμού SCLK. Η εγγραφή τους στην επιθυμητή γραμμή γίνεται μέσω ενός παλμού STR, που έχει διάρκεια 10ms.

4) Αν δεν έχουν αναγνωστεί ή γραφεί όλοι οι καταχωρητές, επέστρεψε ξανά στο βήμα 2.

Σε σχέση με τις PAL, αυτό το πρωτόκολλο είναι μια εύκολα επαναλαμβανόμενη διαδικασία. Έτσι έγινε δυνατή η κατασκευή φτηνών προγραμματιστών GAL, πράγμα που βοήθησε στην εξαπλώση των GAL σε πολλές εφαρμογές. Χάρη στις μονάδες εξόδου OLMC, οι GAL μπορούν να χρησιμοποιηθούν σε διάφορα κυκλώματα. Αυτό συνετέλεσε στη μείωση της τιμής των ολοκληρωμένων, με αποτέλεσμα να αυξηθεί επιπλέον η δημοτικότητα τους.

Μεταφορά των λογικών πράξεων στις GAL

Στο κατώτερο επίπεδο, οι GAL μπορούν να προγραμματιστούν με αρχεία JEDEC. Τα αρχεία JEDEC περιέχουν πληροφορίες που αφορούν τη μήτρα διασυνδέσεων. Ο προγραμματισμός των λογικών πράξεων σε μορφή JEDEC είναι επίπονος. Γιαυτό δεν θα ασχοληθούμε περισσότερο μ' αυτόν. Αν θέλετε να ασχοληθείτε βαθύτερα με το θέμα, παρατηρήστε τη μορφή ενός αρχείου

Architecture Control Word

meaning of bits with GAL 16V8 with GAL 20V8	product term disables		XOR (n)	SYN	AC1 (n)	AC0	XOR (n)	product term disables	
	PT63...PT32	PT31...PT0	12...15		12...19		16...19	PT31...PT0	PT31...PT0
	PT63...PT32	PT31...PT0	15...18		15...22		19...22	PT31...PT0	PT31...PT0
Bit	81		50 49	46	45 44	37 36	35	32 31	0

Σχήμα 10. Η μορφή της λέξης ελέγχου αρχιτεκτονικής (ACW).

JEDEC. Το αρχείο JEDEC δημιουργείται από τον μεταφραστή (Assembler) GAL. Οι περιοχές της GAL (βλέπε παραπάνω), αντιστοιχούν σε διάφορες διευθύνσεις. Στο πίνακα 2 βρίσκονται οι περιοχές διευθύνσεων για τις GAL 16V8 και 20V8.

Η λογική συνάρτηση δίνεται συνήθως με τη μορφή ενός προγράμματος GAL. Τα καλά προγράμματα μετάφρασης επιτρέπουν την επεξεργασία τριών περιγραφικών μοντέλων:

- Εξισώσεις Boole
- Πίνακες τιμών
- Αυτόματα (Synchronous state machine)

Το παράδειγμα που αναπτύξαμε στην αρχή είναι μια εξίσωση σε άλγεβρα Boole.

Ένας πίνακας τιμών χρησιμεύει για την αντιστοίχια διάφορων τιμών εισόδου σε τιμές εξόδου.

Αν πρόκειται να αντιστοιχίσετε πολλές τιμές, είναι προτιμότερο αντί για GAL ή PAL να χρησιμοποιήσετε μια (E)PROM. Λόγω της εσωτερικής τους οργάνωσης είναι πιο κατάλληλες για αυτή την εργασία.

Τα αυτόματα είναι ιδιαίτερα κατάλληλα για την παραγωγή πρωτοκόλλων π.χ. αποκωδικοποίηση σε μονάδες που συνδέονται απευθείας σε διαύλους υπολογιστών. Το αυτόματο αποτελείται από έναν απαριθμητή και έναν πίνακα τιμών. Κάθε φορά που ο μετρητής δίνει σήμα, εμφανίζεται στην έξοδο μια συγκεκριμένη τιμή, που εξαρτάται από την κατάσταση των εισόδων. Η λει-

Πίνακας 1. Οι ACW για τις GAL 16V8 και 20V8.

10L8 und 10H8:				14L8 und 14H8			
PTF:	11000000	11000000	11000000	11000000	11110000	11000000	11000000
	11000000	11000000	11000000	11000000	11000000	11000000	11110000
AC1:	00000000,	SYN: 1,	CO: 0	AC1:	00000000,	SYN: 1,	AC0: 0
12L6 und 12H6:				16L6 und 16H6:			
PTF:	00000000	11110000	11000000	11000000	00000000	11110000	11000000
	11000000	11000000	11110000	00000000	11000000	11110000	00000000
AC1:	10000001,	SYN: 1,	AC0: 0	AC1:	10000001,	SYN: 1,	AC0: 0
14L4 und 14H4:				18L4 und 18H4:			
PTF:	00000000	00000000	11110000	11110000	00000000	00000000	11111100
	11110000	11110000	00000000	00000000	11110000	11111100	00000000
AC1:	11000011,	SYN: 1,	AC0: 0	AC1:	11000011,	SYN: 1,	AC0: 0
16L2 und 16H2:				20L2 und 20H2:			
PTF:	00000000	00000000	00000000	11111111	00000000	00000000	00000000
	11111111	00000000	00000000	00000000	11111111	00000000	00000000
AC1:	11100111,	SYN: 1,	AC0: 0	AC1:	11100111,	SYN: 1,	AC0: 0
16R8 und 16RP8:				20R8 und 20RP8:			
PTF:	11111111	11111111	11111111	11111111	11111111	11111111	11111111
	11111111	11111111	11111111	11111111	11111111	11111111	11111111
AC1:	00000000,	SYN: 0,	AC0: 1	AC1:	00000000,	SYN: 0,	AC0: 1
16R6 und 16RP6:				20R6 und 20RP6:			
PTF:	11111111	11111111	11111111	11111111	11111111	11111111	11111111
	11111111	11111111	11111111	11111111	11111111	11111111	11111111
AC1:	10000001,	SYN: 0,	AC0: 1	AC1:	10000001,	SYN: 0,	AC0: 1
16R4 und 16RP4				20R4 und 20RP4:			
PTF:	11111111	11111111	11111111	11111111	11111111	11111111	11111111
	11111111	11111111	11111111	11111111	11111111	11111111	11111111
AC1:	11000011,	SYN: 0,	AC0: 1	AC1:	11000011,	SYN: 0,	AC0: 1
16L8 und 16H8				20L8 und 20H8:			
PTF:	11111111	11111111	11111111	11111111	11111111	11111111	11111111
	11111111	11111111	11111111	11111111	11111111	11111111	11111111
AC1:	11111111,	SYN: 0,	AC0: 1	AC1:	11111111,	SYN: 0,	AC0: 1

τουργία του απεριθμητή ελέγχεται από τα σήματα εισόδου, όπως και το περιεχόμενό του. Μια λεπτομερής ανάλυση της άλγεβρας boole ξεπερνά τα όρια του άρθρου. Στην αγορά υπάρχουν διάφορα βιβλία που αναφέρονται σ' αυτό το θέμα.

Πλησιάζοντας στο τέλος, θα αναφερθούμε στις GAL που υπάρχουν στην αγορά. Οι GAL 16V8 και 20V8 συναντούνται σε πλαστικό και κεραμικό περιβλήμα DIL, καθώς και σε περιβλήμα PCC (Plastic Chip Carrier). Υπάρχουν διάφοροι τύποι GAL, που παρουσιάζουν χρονική καθυστέρηση μεταξύ 10 και 35 ns. Οι GAL που έχουν χρο-

νική καθυστέρηση 10 ns, χαρακτηρίζονται σαν τύπος A. Οι GAL με χρονική καθυστέρηση 20...35 ns, έχουν εξαιρετικά μικρή κατανάλωση. Απαιτούν περίπου 75% λιγότερο ρεύμα, σε σχέση με αντίστοιχες PAL. Οι γρήγορες GAL (15...20 ns) έχουν 50% μικρότερες απαιτήσεις ρεύματος, σε σύγκριση με τις, σημαντικά πιο αργές, PAL, (με τις ίδιες δυνατότητες). Εκτός από την εταιρία Lattice, ολοκληρωμένα GAL κατασκευάζουν οι εταιρίες: SGS-Thomson και AMD. Η τελευταία δεν χρησιμοποιεί τον χαρακτηρισμό GAL, αλλά ονομάζει τα προϊόντα της PALCE. Εκτός από τις PALCE 16V8 και

20V8, υπάρχουν οι 22V10, 24V10 και 26V12. Στο μέλλον αναμένουμε ολοκληρωμένα με ακόμα περισσότερες εισόδους και εξόδους.

Βιβλιογραφία:

- [1] PROM, FLPA, PAL κ.λπ. ΕΛΕΚΤΟΡ 78.
- [1] Databook SGS-Thomson, Microelectronics EECMOS-PLD
- [3] Handbook MGP 16/20. Προγραμματισμός GAL της εταιρίας MAXON.

Πίνακας 2. Οι διευθύνσεις των GAL, που χρησιμοποιούνται μέσα σε ένα αρχείο JEDEC.

Διευθύνσεις μήτρας για		Χαρακτηρισμός
GAL 16v8	GAL 20v8	
0000-2047	0000-2559	Μήτρα διασυνδέσεων (Λογικά γινόμενα) Ψηφία XOR, στις πύλες εξόδου Κωδ. αναγνώρισης (π.χ. Αριθμ. παραγωγής) Ψηφία AC1 (π) των μονάδων εξόδου Απενεργοποίηση γινομένων Ψηφίο SYN των μονάδων εξόδου Ψηφίο AC0 των μονάδων εξόδου
2048-2055	2560-2567	
2056-2119	2568-2631	
2120-2127	2632-2639	
2128-2191	2640-2703	
2192	2704	
2193	2705	